

(3)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-164406

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H01C 7/10  
H01G 4/12

(21)Application number : 10-334000

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 25.11.1998

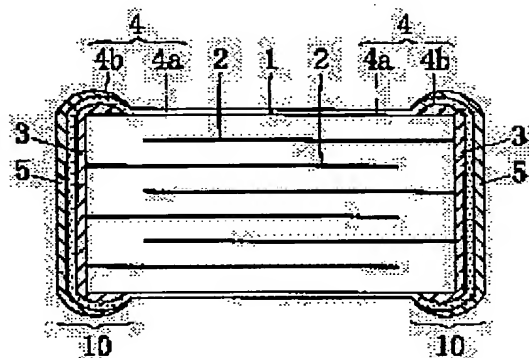
(72)Inventor : YOSHIDA YOSHIKAZU  
OTSUKI TAKEHIKO  
KOMATSU YUTAKA  
MORIMOTO MASASHI

## (54) CHIP TYPE ELECTRONIC PART AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a chip electronic part for protecting a ceramic element, and for reducing the degradation of the characteristics when carrying out electrolytic plating to the outer electrode of the ceramic element made of ceramic materials which are extremely vulnerable to acid or alkali, or when using this in a corrosion atmosphere.

**SOLUTION:** Glass coating 4 is formed after base electrodes 3 are formed on the exposed edge faces of inner electrodes 2 of a ceramic element 1, and outside electrode layers 5 are formed through the glass coating 4 outside the base electrode layers 3. Thus, the ceramic element 1 can be protected in an insulating area 4a of the glass coating 4, and conductive materials contained in the base electrode layers 3 and the outside electrode layers 5 are diffused so as to be conducted by heat treatment, and simultaneously the base electrode layers 3 and the outside electrode layers 5 are integrated so that outer electrodes 10 can be formed in a conductive area 4b of the glass coating 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-164406

(P 2000-164406 A)

(43) 公開日 平成12年6月16日 (2000. 6. 16)

(51) Int. Cl. <sup>7</sup>	識別記号		F I		テ-マコ-ト <sup>*</sup> (参考)	
H 0 1 C	7/10		H 0 1 C	7/10		5E001
H 0 1 G	4/12	3 4 6	H 0 1 G	4/12	3 4 6	5E034
		3 5 2			3 5 2	

審査請求 未請求 請求項の数 5

OL

(全 7 頁)

(21) 出願番号 特願平10-334000

(22) 出願日 平成10年11月25日 (1998. 11. 25)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 吉田 義和

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 大槻 健彦

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74) 代理人 100094019

弁理士 中野 雅房

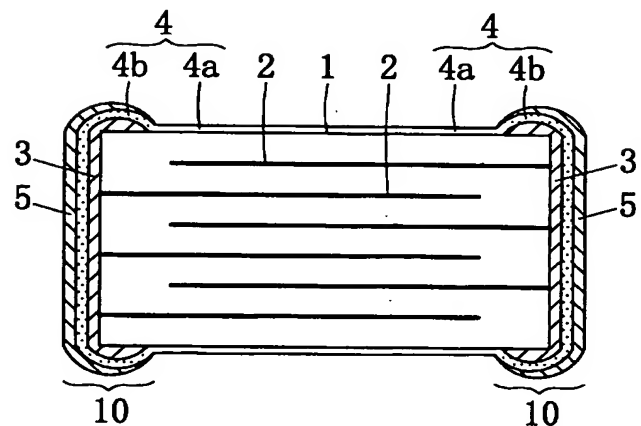
最終頁に続く

(54) 【発明の名称】 チップ型電子部品とその製造方法

(57) 【要約】

【課題】 酸及びアルカリに対して非常に弱いセラミック材料からなるセラミック素子の外部電極に電解メッキを施す際、又は、腐食雰囲気中での使用時にセラミック素子を保護しその特性低下を抑制するチップ電子部品を提供する。

【解決手段】 セラミック素子 1 の内部電極 2 の露出した端面に下地電極 3 を形成した後ガラス被膜 4 を形成し、当該ガラス被膜 4 を隔てて前記下地電極層 3 の外側に外側電極層 5 を形成する。ガラス被膜 4 は絶縁領域 4 a においてセラミック素子 1 を保護し、導電領域 4 b において熱処理によって前記下地電極層 3 及び前記外側電極層 5 に含まれる導電材料を拡散させることで導電化されると同時に、下地電極層 3 及び外側電極層 5 と一体化し外部電極 10 を形成する。



## 【特許請求の範囲】

【請求項 1】 セラミック素子の外部電極形成領域にガラス材料を含有する下地電極層が形成され、少なくともこの下地電極層と重なる領域にガラス被膜が形成され、前記下地電極層の上にガラス被膜を介してガラス材料を含有する外側電極層が形成され、前記下地電極層と前記外側電極層の間に介在するガラス被膜に分散させられた導電材料により前記下地電極層と前記外側電極層が導通させられたチップ型電子部品。

【請求項 2】 前記下地電極層及びセラミック素子の表面全体にガラス被膜が形成されることを特徴とする、請求項 1 に記載のチップ型電子部品。

【請求項 3】 前記外側電極層でのガラス材料の含有率が前記下地電極層のガラス材料の含有率よりも少ないことを特徴とする、請求項 1 又は 2 に記載のチップ型電子部品。

【請求項 4】 前記下地電極層でのガラス材料の含有率が 5 重量%以上 15 重量%以下とし、前記外側電極層でのガラス材料の含有率が 0.2 重量%以上 5 重量%以下としたことを特徴とする、請求項 3 に記載のチップ型電子部品。

【請求項 5】 セラミック素子の外部電極形成領域にガラス材料を含有する下地電極層を形成し、少なくとも当該下地電極層と重なる領域にガラス被膜を形成し、ガラス被膜を介して前記下地電極層の外側にガラス材料を含有する外側電極層を形成し、熱処理を施して前記下地電極層又は前記外側電極層に含まれる導電材料を前記ガラス被膜に拡散させることにより、前記下地電極層と前記外側電極層の間に介在するガラス被膜を導電化させることを特徴とするチップ型電子部品の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、チップ型電子部品及びその製造方法に関する。特に、酸化亜鉛系積層チップバリスタのようなチップ型電子部品とその製造方法に関する。

【0002】

【従来の技術】 (第 1 の従来例) 従来のチップ型電子部品としては、特開平 8-97072 号公報に開示されたものがある。これは図 6 に示すように、セラミック素子 15 の内部電極 16 が露出した端面に、外部電極 20 を形成したものであって、前記セラミック素子 15 の端面に形成されたガラスフリットを含有する下地電極層 17 と、外側電極層 18 と、外側電極層 18 の外側に形成されためっき層 19 とによって外部電極 20 を形成したものである。

【0003】 酸化亜鉛セラミック材料は抵抗体材料であり、セラミック素子 15 の表面の抵抗が低い。このような低抵抗のセラミック材料を使用したセラミック素子 15 の場合には、外側電極層 18 とセラミック素子 15 の

表面の電位差が小さくなることから、第 1 の従来例によるチップ型電子部品では、低抵抗のセラミック素子 15 の表面にめっき被膜が成長し、セラミック素子 15 の表面に付着しためっき被膜のためにチップ型電子部品が特性低下を招くことがあった。

【0004】 また、このチップ型電子部品では、セラミック素子 15 が露出しており、酸化亜鉛セラミック材料等は酸アルカリに非常に弱いので、めっき時にセラミック素子 15 がめっき液に触れて劣化し、チップ型電子部品の特性を劣化させる恐れがあった。そのため、このようなチップ型電子部品では耐薬品性、耐腐食性を持たせることが望まれる。

【0005】 さらに、このような構造のチップ型電子部品では、外側電極層 18 の外面にめっき層 19 を設ける際に、外側電極層 18 とセラミック素子 15 の間の隙間からめっき液が浸透し、内部電極の劣化を招く恐れがあった。そのため、めっき工程において、めっきの加工条件や、外部電極及び内部電極の成膜条件等に制約があった。

【0006】 (第 2 の従来例) そこで、チップ型電子部品の外部電極から露出した領域をガラス被膜で覆うことにより、チップ型電子部品の耐薬品性、耐腐食性を高めるようにしたものが提案されている。これは、特開平 8-330106 号公報に開示されたチップ型電子部品である。このチップ型電子部品は図 7 に示すように、セラミック素子 21 の表裏両面に金属酸化物による保護膜 23 を形成し、外部電極形成領域である内部電極 22 が露出した端面に下地電極層 24 及び外部電極層 25 を形成した後、外部電極形成領域外の前記保護膜 23 の外側にガラス被膜 26 を形成し、外部電極層 25 の外側に Ni めっき層 27 及び半田めっき層 28 を形成したものである。

【0007】 しかし、この第 2 の従来例によるチップ型電子部品では、外部電極層 25 から露出した領域にのみ精度よくガラス被膜 26 を形成することが困難であり、チップ型電子部品の歩留りを悪くしていた。例えば、ガラス被膜 26 の形成が不十分であると、ガラス被膜 26 と外部電極層 25 との間に隙間が生じる。ガラス被膜 26 と外部電極層 25 との間に隙間が生じた場合には、ガラス被膜 26 と外部電極層 25 との間の隙間にめっき金属が析出したり、めっき液が浸入したりして、チップ型電子部品の特性を劣化させる恐れがあった。逆に、ガラス被膜 26 が外側電極層 25 の上にまで広がると、ガラス被膜 26 に遮られて Ni めっき層 27 のめっき付着性が悪くなっていた。

【0008】

【発明が解決しようとする課題】 本発明は上記の技術的問題点を解決するためになされたものであり、その目的とするところは、セラミック素子表面にめっき被膜が付着したり、外部電極とセラミック素子の間にめっき液が

浸入したりする恐れがなく、歩留りよく製造でき、耐薬品性、耐腐食性に優れたチップ型電子部品及びその製造方法を提供することにある。

【0009】

【発明の開示】請求項1に記載のチップ型電子部品は、セラミック素子の外部電極形成領域にガラス材料を含有する下地電極層が形成され、少なくともこの下地電極層と重なる領域にガラス被膜が形成され、前記下地電極層の上にガラス被膜を介してガラス材料を含有する外側電極層が形成され、前記下地電極層と前記外側電極層の間に介在するガラス被膜に分散させられた導電材料により前記下地電極層と前記外側電極層が導通させられたものである。なお、ガラス被膜は、必ずしもセラミック素子の全体に設ける必要はない。

【0010】請求項1に記載のチップ型電子部品によれば、下地電極層と外側電極層との間にガラス層を形成しているため、このガラス被膜を下地電極層よりも外に広げることにより、下地電極層の縁をガラス被膜により覆って塞ぐことができる。よって、外部電極とセラミック素子の間からめっき液等の薬品が浸入するのを防止することができる。さらに、ガラス被膜を外部電極よりも外側にも形成することにより、ガラス被膜で覆われた領域のセラミック素子を保護することができ、チップ型電子部品の耐薬品性、耐腐食性を高めることができる。

【0011】ガラス材料を含んだ下地電極層とガラス材料を含んだ外側電極層とはガラス被膜を挟んでいるので、熱処理によって下地電極層、ガラス被膜及び外側電極層からなる外部電極を強固に一体化させることができる。さらに、ガラス被膜は外部電極の領域では導電化されているので、ガラス被膜を挟んでいる下地電極層と外側電極層とは導電化されたガラス被膜によって導通させられており、外部電極を電気的にも一体化することができる。また、外部電極以外の領域ではガラス材料を絶縁性のまま保持することにより、めっき処理をする場合でも、外部電極以外の領域でガラス被膜にめっき金属が付着するのを防止することができる。

【0012】請求項2に記載の実施態様は、請求項1に記載したチップ型電子部品において、前記下地電極層及びセラミック素子の表面全体にガラス被膜が形成されたものである。

【0013】請求項2に記載の実施態様では、セラミック素子全体をガラス被膜で覆っているため、ガラス被膜に隙間や継ぎ目が生じることがなく、ガラス被膜によってセラミック素子を確実に保護することができ、チップ型電子部品の耐腐食性と耐薬品性をより一層高めることができる。また、例えば溶融したガラス材料中に下地電極層を形成されたセラミック素子を浸けることにより、簡単にガラス被膜を形成することができる。

【0014】請求項3に記載の実施態様は、請求項1又は2に記載したチップ型電子部品において、前記外側電

極層でのガラス材料の含有率を前記下地電極層のガラス材料の含有率よりも少なくしたものである。

【0015】請求項3に記載の実施態様では、下地電極層のガラス材料の含有率を外側電極層よりも多くしているから、下地電極層とセラミック素子との接合強度及び密着強度を高くすることができ、外部電極の耐剥離性を高くできる。また、外側電極層のガラス材料の含有率を下地電極層よりも少なくしているから、外部電極にめっき処理を施す場合に外部電極のめっき付着性を良好にすることができる。

【0016】請求項4に記載の実施態様は、請求項3に記載したチップ型電子部品において、前記下地電極層のガラス材料の含有率が5重量%以上15重量%以下、前記外側電極層のガラス材料の含有率が0.2重量%以上5重量%以下で形成されたものである。

【0017】下地電極層でのガラス材料の含有率が5重量%より少ない場合には、セラミック素子との固着力が低下しセラミック素子との密着強度を確保することが困難となる。一方、上記含有率が15重量%より多い場合は内部電極との接触抵抗が大きく電極としての機能が低下する。よって、下地電極層においては、ガラス材料の含有率は5重量%以上15重量%以下の範囲とすることが望ましく、それによって、セラミック素子との接合力が高く、内部電極との接触抵抗が低い外部電極を形成することができる。

【0018】また、外側電極層でのガラス材料の含有率が0.2重量%より少ない場合、ガラス被膜との固着力が低下しガラス被膜との密着強度を確保するのが困難となる。一方、ガラス材料の含有率が5重量%より多くなると、外側電極層の導電抵抗が大きくなり、外側電極層の外側にめっき処理を施しにくくなる。よって、外側電極層においては、ガラス材料の含有率は0.2重量%以上5重量%以下が望ましい。

【0019】請求項5に記載したチップ型電子部品の製造方法は、セラミック素子の外部電極形成領域にガラス材料を含有する下地電極層を形成し、少なくとも当該下地電極層と重なる領域にガラス被膜を形成し、ガラス被膜を介して前記下地電極層の外側にガラス材料を含有する外側電極層を形成し、熱処理を施して前記下地電極層又は前記外側電極層に含まれる導電材料を前記ガラス被膜に拡散させることにより、前記下地電極層と前記外側電極層の間に介在するガラス被膜を導電化させることを特徴とする。

【0020】請求項5に記載したチップ型電子部品の製造方法では、下地電極層と外側電極層に含まれる導電材料を熱処理によって前記下地電極層と前記外側電極層に挟まれた部分のガラス被膜に拡散させているので、熱処理によりガラス被膜を介して下地電極層と外側電極層を一体化させる際、同時に下地電極層及び外側電極層の導電材料がガラス被膜に拡散してガラス被膜を部分的に導

電化させ、下地電極層及び外側電極層を導通させ、外部電極の機能を実現することができる。しかも、下地電極層及び外側電極層の導電材料をガラス被膜に拡散させることにより、外部電極領域のみにガラス被膜を選択的に導電化させることができる。よって、簡単な方法により本発明のチップ型電子部品を製造することができる。

#### 【0021】

【発明の実施の形態】（一実施形態）図1は、本発明の一実施形態によるチップ型電子部品の断面図であって、10酸化亜鉛系積層チップバリスタを示している。これは、セラミック素子1の内部電極2が露出した端面に外部電極10が形成されたチップ型電子部品である。セラミック素子1の内部電極2が露出した端面にAg又はAgPdにガラスフリットを含有させた下地電極層3が形成されている。ガラスフリットは下地電極層3に対して5重量%以上15重量%以下の含有率である。その下地電極層3とセラミック素子1の表面全体にガラス被膜4が形成されている。セラミック素子1はその表面に形成されたガラス被膜4によって保護されている。

【0022】そして、前記下地電極層3の外側にガラス被膜4を隔てて、Ag又はAgPdにガラスフリットを含有させた外側電極層5が形成されている。ガラスフリットは外側電極層5に対して0.2重量%以上5重量%以下の含有率である。後述のように、前記下地電極層3と外側電極層5に含まれる導電材料のAg又はAgPdがガラス被膜4に拡散されることにより前記下地電極層3及び外側電極層5に挟まれた部分が導電化され導電領域4bとなっている。つまり、ガラス被膜4は、一体性ないし連続性を保ちながらセラミック素子1を保護する絶縁領域4aと電極を形成する導電領域4bとに分れている。さらに、外側電極層5の外側には、必要に応じて図2に示すように半田付けを容易にするために外側めっき層6が形成される。

【0023】（製造方法）上記酸化亜鉛系積層チップバリスタの製造工程の流れを図3に示す。以下、図3に従って説明をする。素原料としてZnO、BiO等を含む混合材料に有機バインダー及び分散剤、可塑剤等を添加し、よく混練してシート成形用スラリーを作製する（P1）。このシート成形用スラリーを原料槽に注入し、ドクターブレード法により前記スラリーを任意の厚みのセラミックグリーンシートに成形し（P2）、所定の大きさの矩形に打ち抜く（P3）。上記セラミックグリーンシート上面にAg含有の内部電極ペーストを塗布し（P4）、交互に積層し、圧着する。その後、セラミックグリーンシートの積層体をチップ状に切断する（P5）。切断された上記積層体に熱処理を行ないバインダ及び水分を蒸発させた後、脱脂する。その後、800～1000℃の温度で焼成し、セラミック素子1を得る（P6）。ついで、焼成工程を経て得られたセラミック素子

1に外部電極10を形成しチップ型電子部品とする。

【0024】以下、図1及び図3に基づき、外部電極10の形成について実施工程を説明する。上記のようにしてセラミック素子1を焼成した後、その内部電極2が露出した端面に、Agの含有率が90重量%のAgPdに珪酸塩系ガラスからなるガラスフリットを含有した導電ペーストを塗布し、900℃の温度で焼き付けて下地電極層3を形成する（P7）。ここで、導電ペーストにおけるガラスフリットの含有率は5重量%以上15重量%以下である。この後、下地電極層3及びセラミック素子1の表面全体に0.5～2.0重量%の珪酸塩系ガラスを含む絶縁性のガラス材料を塗布し、熱処理を施してガラス被膜4を焼き付ける（P8）。この状態を図4に示す。セラミック素子1の表面のガラス被膜4はセラミック素子1を保護し、セラミック素子1の特性低下を抑制する。

【0025】下地電極層3に重なる部分において上記ガラス被膜4の外側にAg又はAgPdに珪酸塩系ガラスからなるガラスフリットを含有させ、ガラスフリットの含有率が0.2重量%以上5重量%以下である導電ペーストを塗布し、600～900℃の温度で焼き付けて外側電極層5を形成する（P9）。このとき、図1に示すように、セラミック素子1の表面を覆っている領域では、ガラス被膜4は均一な絶縁領域4aのままに保たれ、セラミック素子1を保護してチップ型電子部品の特性低下を抑制する。

【0026】このとき同時に、下地電極層3と外側電極層5に含まれる導電材料であるAg又はPdは熱処理によってガラス被膜4へ拡散してガラス被膜4を導電化する。この結果、下地電極層3と外側電極層5の間の領域のガラス被膜4が導電化して導電領域4bとなる。この結果、ガラス被膜4の導電領域4bが下地電極層3と外側電極層5を導通させ、外部電極10全体を導電体とすることができる。また、下地電極層3及び外側電極層5のガラス成分がガラス被膜4（導電領域4b）と溶融して一体化することにより、外部電極10が一体に接合されて剥離する恐れがなくなる。この後、必要に応じて、図2に示すように外側電極層5の外側に、NiとSn、又はNiと半田、又は半田のみで電解めっきを行なつてめっき層6を形成し、外部電極10の半田付け性を良好にする（P10）。

【0027】ガラス被膜4は、セラミック素子1の保護とめっき成長の抑制のため、少なくとも酸やアルカリ等によって侵される恐れのある領域に設ける必要があるが、ガラス被膜4を形成する作業の簡易さとセラミック素子1を保護する効果を考慮すれば、セラミック素子表面全面に形成するのが望ましい。

【0028】また、Ag、AgPdの他に、Au、Pt、Pd等の導電材料に5重量%以上15重量%以下の含有率になるようにガラスフリットを含有させた導電ペ

(5)

7

ーストを塗布し、焼付けを行なうことで下地電極層 3 を形成してもよい。同様に Ag、AgPd の他に、Au、Pt、Pd 等の導電材料に 0.2 重量%以上 5 重量%以下の含有率になるようにガラスフリットを含有させた導電ペーストを塗布し、焼付けを行なうことで外側電極層 5 を形成してもよい。このような場合にあっては、Au、Pt、Pd 等の導電材料が下地電極層 3 と外側電極層 5 に挟まれる部分のガラス被膜 4 に拡散し導電領域 4b を形成し電極としての導電機能を得ることになる。

【0029】本実施形態では、外側電極層 5 と比較して下地電極層 3 のガラスフリットの含有率を多くすることでセラミック素子 1 と下地電極層 3 との密着強度が増大し、外部電極 10 がセラミック素子 1 から剥離しにくくなる。その際、下地電極層 3 に対してガラスフリットの含有率が 5 重量%に満たない場合、セラミック素子 1 との密着強度が低下する。また、上記含有率が 15 重量%を超える場合には下地電極層 3 全体の比抵抗が増大し、内部電極 2 の露出面との接触抵抗が増大し、電極としての導電機能が低下する。よって、ガラスフリットの含有率を 5 重量%以上 15 重量%以下の範囲で下地電極層 3 を形成するのが望ましい。

【0030】また、下地電極層 3 と比較して外側電極層 5 のガラスフリットの含有率を少なくすることにより、外側電極層 5 の半田付け性（めっき層 6 を形成せず、直接外側電極層 5 を半田付けする場合）やめっき付着性（めっき層 6 を形成する場合）及び半田付け性を良好にすることができる。その際、外側電極層 5 に対してガラスフリットの含有率が 0.2 重量%に満たない場合には、ガラス被膜 4 との密着強度が低下する。また、上記含有率が 5 重量%を超える場合には、外側電極層 5 の比抵抗が増大し、めっき金属の析出速度が遅くなる。よって、外側電極層 5 に含まれるガラスフリットの含有率は、0.2 重量%以上 5 重量%以下の範囲が望ましい。

【0031】通常、積層チップバリスタのようなチップ型電子部品においては、外部電極のガラス組成が多いと外部電極に電解めっきを施すことが困難になり、逆にガラス組成が少ないと外部電極がセラミック素子から剥離し易くなる。しかし、本実施形態の積層チップバリスタでは、外部電極 10 の内層（下地電極層 3）でガラス組成を多くし、外層（外側電極層 5）で少なくすることに\*40

\*より、この問題を解決している。また、外部電極 10 を 3 層構造にすることにより、容易にガラス組成を変化させることができる。

【0032】また、セラミック素子 1 の表面に形成されたガラス被膜 4 の絶縁領域 4a は、セラミック素子 1 の表面が露出しないように覆って保護しており、セラミック素子 1 の耐薬品性及び耐腐食性を向上させている。よって、外部電極 10 にめっき層 6 を形成する場合でも、めっき処理工程においてチップ型電子部品が特性劣化する恐れがない。また、外部電極 10 の領域外ではガラス被膜 4 は絶縁性を保持しているので、チップ型電子部品の実装工程等において、外部電極以外の部分に半田が付着して短絡事故を起こす恐れもない。

【0033】また、ガラス被膜 4 はセラミック素子 1 の全体に形成されているので、ガラス被膜 4 の導電領域 4b と絶縁領域 4a との間に隙間や継ぎ目が生じることがなく、そこからめっき液等が浸入することもなく、高い耐腐食性と耐薬品性を得ることができる。特に、導電領域 4b を導電材料の拡散によって形成しているので、ガラス被膜 4 の導電領域 4b と絶縁領域 4a とを別々に形成することなく、ガラス被膜 4 全体を一度に形成することができる。

【0034】（実施例）ここで本発明の効果を確認するため、図 1 に示す実施例の酸化亜鉛系積層チップバリスタと、図 5 に示すような、セラミック素子 11 の内部電極 12 の露出した端面に下地電極層 13 を形成した後、セラミック素子 11 及び下地電極層 13 の表面をガラス保護膜 14 で覆った形態の比較例の酸化亜鉛系積層チップバリスタをそれぞれ所定個数分製作し、これら 2 種類のチップバリスタの表面に Ni と Sn の電解めっきを行なった。

【0035】規定のめっき厚（Ni めっき被膜：1~2  $\mu\text{m}$ 、Sn めっき被膜：3~5  $\mu\text{m}$ ）を得るため、比較例及び実施例ともに一定時間の電解めっきを行ない、それぞれのチップバリスタに形成された Ni めっき被膜及び Sn めっき被膜の膜厚を測定し、その平均値及びめっき成長不良率を算出した結果を表 1 に示す。

【0036】

【表 1】

	比較例	実施例
Ni めっき膜厚 平均値	0.8 $\mu\text{m}$	1.8 $\mu\text{m}$
Sn めっき膜厚 平均値	1.3 $\mu\text{m}$	4.3 $\mu\text{m}$
めっき成長 不良率	100%	0%

【0037】表 1 から分かるように、比較例ではガラス保護膜 14 のためにめっき付け性が悪く、実施例の半分以下のめっき厚しか得られなかった。また、比較例では、全数が規定膜厚に達せず、めっき成長不良率が 10

0%であった。これに対し、実施例では、全数が規定膜厚に達し、めっき成長不良率が 0%であった。このように当該実施例によれば、品質の良好な積層チップバリスタを歩留りよく製作できることがわかる。

50

【図面の簡単な説明】

【図1】 本発明の一実施形態である酸化亜鉛系積層チップバリスタの断面図である。

【図2】 本発明の別な実施形態である酸化亜鉛系積層チップバリスタの断面図である。

【図3】 同上の実施形態の積層チップバリスタの製造工程の流れを示す図である。

【図4】 同上の実施形態である酸化亜鉛系積層チップバリスタの製造工程においてガラス被膜を形成し熱処理を施した後の状態を示す断面図である。

【図5】 比較例を示す断面図である。

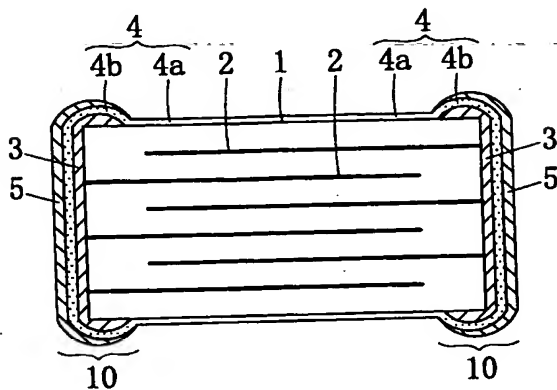
【図6】 従来例を示す断面図である。

【図7】 別な従来例を示す断面図である。

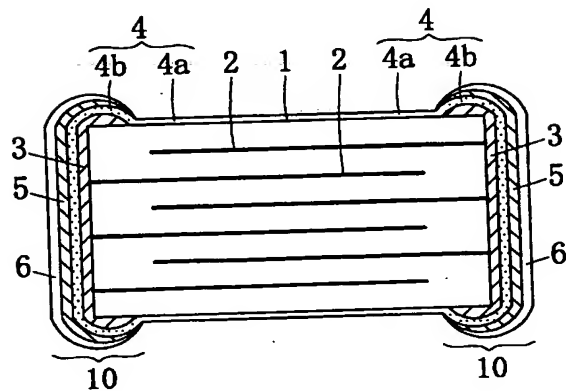
【符号の説明】

- |     |             |
|-----|-------------|
| 1   | 積層セラミック素子   |
| 2   | 内部電極        |
| 3   | 下地電極層       |
| 4   | ガラス被膜       |
| 4 a | ガラス被膜（絶縁領域） |
| 4 b | ガラス被膜（導電領域） |
| 5   | 外側電極層       |
| 10  | 外部電極        |

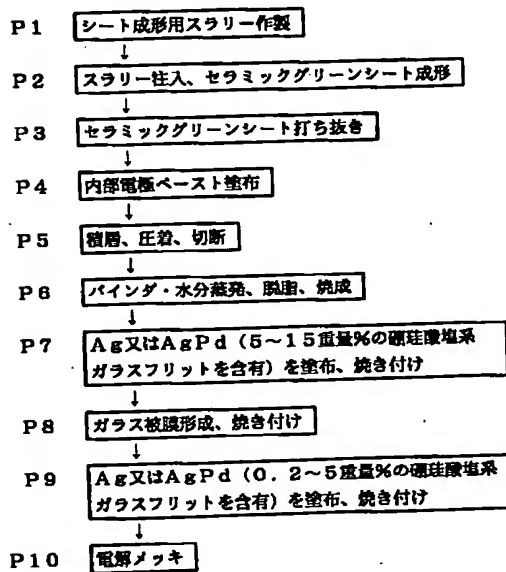
【図1】



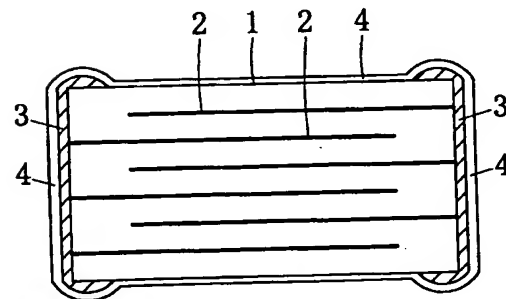
【図2】



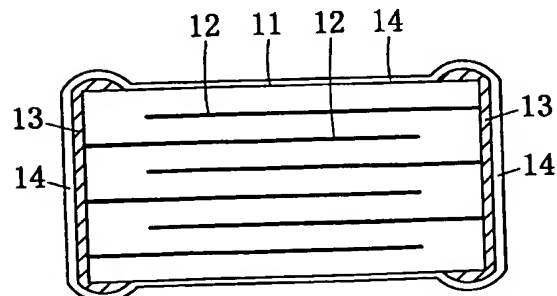
【図3】



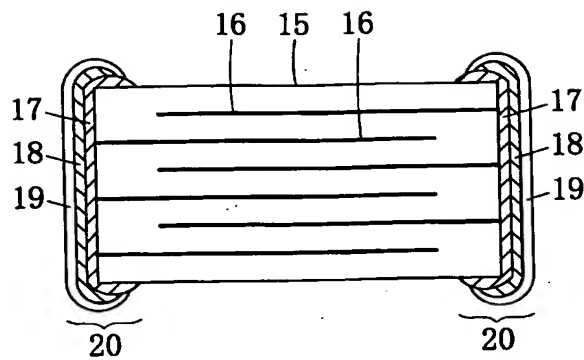
【図4】



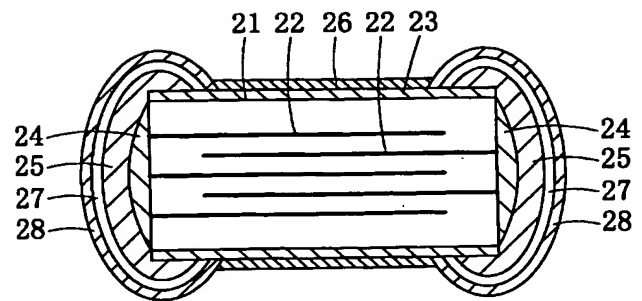
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 小松 裕  
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72)発明者 森本 正士  
京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

Fターム(参考) 5E001 AB03 AC04 AC09 AF03 AG00  
AH01 AH07 AJ03 AJ04  
5E034 CA01 CB01 CC03 DA02 DB14  
DC01 DC03 DC06 DC09



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-164406

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H01C 7/10

H01G 4/12

(21)Application number : 10-334000

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 25.11.1998

(72)Inventor : YOSHIDA YOSHIKAZU

OTSUKI TAKEHIKO

KOMATSU YUTAKA

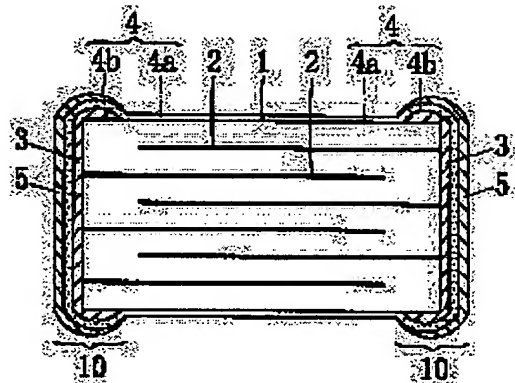
MORIMOTO MASASHI

(54) CHIP TYPE ELECTRONIC PART AND MANUFACTURE THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a chip electronic part for protecting a ceramic element, and for reducing the degradation of the characteristics when carrying out electrolytic plating to the outer electrode of the ceramic element made of ceramic materials which are extremely vulnerable to acid or alkali, or when using this in a corrosion atmosphere.

**SOLUTION:** Glass coating 4 is formed after base electrodes 3 are formed on the exposed edge faces of inner electrodes 2 of a ceramic element 1, and outside electrode layers 5 are formed through the glass coating 4 outside the base electrode layers 3. Thus, the ceramic element 1 can be protected in an insulating area 4a of the glass coating 4, and conductive materials contained in the base electrode layers 3 and the outside electrode layers 5 are diffused so as to be conducted by heat treatment, and simultaneously the base electrode layers 3 and the outside electrode layers 5 are integrated so that outer electrodes 10 can be formed in a conductive area 4b of the glass coating 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The substrate electrode layer containing a glass ingredient is formed in the external electrode formation field of a ceramic component. A glass coat is formed in the field which laps with this substrate electrode layer at least, and the ground-electrode layer which contains a glass ingredient through a glass coat is formed on said substrate electrode layer. Chip mold electronic parts through which said substrate electrode layer and said ground-electrode layer were made to flow with the electrical conducting material distributed by the glass coat which intervenes between said substrate electrode layers and said ground-electrode layers.

[Claim 2] Chip mold electronic parts according to claim 1 characterized by forming a glass coat in the whole front face of said substrate electrode layer and a ceramic component.

[Claim 3] Chip mold electronic parts according to claim 1 or 2 characterized by there being less content of the glass ingredient in said ground-electrode layer than the content of the glass ingredient of said substrate electrode layer.

[Claim 4] Chip mold electronic parts according to claim 3 characterized by for the content of the glass ingredient in said substrate electrode layer having considered as 15 or less % of the weight 5% of the weight or more, and the content of the glass ingredient in said ground-electrode layer considering as 5 or less % of the weight 0.2% of the weight or more.

[Claim 5] The substrate electrode layer containing a glass ingredient is formed in the external electrode formation field of a ceramic component. Form a glass coat in the field which laps with the substrate electrode layer concerned at least, and the ground-electrode layer containing a glass ingredient is formed in the outside of said substrate electrode layer through a glass coat. The manufacture approach of the chip mold electronic parts characterized by making the glass coat which intervenes between said substrate electrode layers and said ground-electrode layers by making said glass coat diffuse the electrical conducting material which heat-treats and is contained in said substrate electrode layer or said ground-electrode layer electric-conduction-ize.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to chip mold electronic parts and its manufacture approach. Especially, it is related with chip mold electronic parts like a zinc oxide system laminating chip varistor, and its manufacture approach.

[0002]

[Description of the Prior Art] (The 1st conventional example) There are some which were indicated by JP,8-97072,A as conventional chip mold electronic parts. This forms the external electrode 20 by the substrate electrode layer 17 containing the glass frit which formed the external electrode 20 in the end face which the internal electrode 16 of the ceramic component 15 exposed, and was formed in it at the end face of said ceramic component 15, the ground-electrode layer 18, and the plating layer 19 formed in the outside of the ground-electrode layer 18, as shown in drawing 6.

[0003] A zinc-oxide ceramic ingredient is a resistor ingredient, and its resistance of the front face of the ceramic component 15 is low. Thus, in the case of the ceramic component 15 which used the ceramic ingredient of low resistance, since the potential difference of the front face of the ground-electrode layer 18 and the ceramic component 15 became small, with the chip mold electronic parts by the 1st conventional example, the plating coat might grow up to be the front face of the ceramic component 15 of low resistance, and chip mold electronic parts might cause the property fall for the plating coat adhering to the front face of the ceramic component 15.

[0004] Moreover, in these chip mold electronic parts, the ceramic component 15 was exposed, and since a zinc-oxide ceramic ingredient etc. was very weak to acid alkali, it had a possibility of the ceramic component 15 having touched plating liquid, having deteriorated at the time of plating, and degrading the property of chip mold electronic parts. Therefore, to give chemical resistance and corrosion resistance is desired in such chip mold electronic parts.

[0005] Furthermore, in such chip mold electronic parts of structure, when forming the plating layer 19 in the external surface of the ground-electrode layer 18, plating liquid permeated from the clearance between the ground-electrode layer 18 and the ceramic component 15, and there was a possibility of causing degradation of an internal electrode. Therefore, in the plating process, the processing conditions of plating, the membrane formation conditions of an external electrode and an internal electrode, etc. had constraint.

[0006] (The 2nd conventional example) What raised the chemical resistance of chip mold electronic parts and corrosion resistance is proposed there by covering the field exposed from the external electrode of chip mold electronic parts with a glass coat. This is the chip mold electronic parts indicated by JP,8-330106,A. As shown in drawing 7, after these chip mold electronic parts form the protective coat 23 by the metallic oxide in front flesh-side both sides of the ceramic component 21 and form the substrate electrode layer 24 and the external electrode layer 25 in the end face which the internal electrode 22 which is an external electrode formation field exposed, they form a glass coat 26 in the outside of said protective coat 23 outside an external electrode formation field, and form nickel plating layer 27 and a solder plating layer 28 in the outside of an external electrode layer 25.

[0007] However, in the chip mold electronic parts by this 2nd conventional example, it is difficult to form the glass coat 26 only in the field exposed from the external electrode layer 25 with a sufficient precision, and it worsened the yield of chip mold electronic parts. For example, a clearance is generated between the glass coat 26 and the external electrode layer 25 as formation of the glass coat 26 is inadequate. When a clearance was generated between the glass coat 26 and the external electrode layer 25, the plating metal deposited in the clearance between the glass coat 26 and the external electrode layer 25, or plating liquid infiltrated into it, and there was a possibility of degrading the property of chip mold electronic parts. On the contrary, when the glass coat 26 spread even on the ground-electrode layer 25, it was interrupted

by the glass coat 26 and the plating adhesion of nickel plating layer 27 was getting worse.

[0008]

[Problem(s) to be Solved by the Invention] the place which it be make in order that this invention may solve the above-mentioned technical issue point , and be make into the purpose do not have a possibility that a plating coat may adhere to a ceramic component front face , or plating liquid may permeate between an external electrode and a ceramic component , can manufacture with the sufficient yield , and be to offer chip mold electronic parts excellent in chemical resistance and corrosion resistance , and its manufacture approach .

[0009]

[Description of the Invention] The substrate electrode layer to which chip mold electronic parts according to claim 1 contain a glass ingredient to the external electrode formation field of a ceramic component is formed. A glass coat is formed in the field which laps with this substrate electrode layer at least, and the ground-electrode layer which contains a glass ingredient through a glass coat is formed on said substrate electrode layer. Said substrate electrode layer and said ground-electrode layer are made to flow with the electrical conducting material distributed by the glass coat which intervenes between said substrate electrode layers and said ground-electrode layers. In addition, it is not necessary to necessarily prepare a glass coat in the whole ceramic component.

[0010] According to the chip mold electronic parts according to claim 1, since the glass layer is formed between a substrate electrode layer and a ground-electrode layer, by opening this glass coat outside a substrate electrode layer, the edge of a substrate electrode layer can be covered with a glass coat, and can be plugged up. Therefore, it can prevent that chemicals, such as plating liquid, permeate from between an external electrode and ceramic components. Furthermore, by forming a glass coat also outside an external electrode, the ceramic component of the field covered with the glass coat can be protected, and the chemical resistance of chip mold electronic parts and corrosion resistance can be raised.

[0011] Since the glass coat of the ground-electrode layer [ the substrate electrode layer containing a glass ingredient and ] containing a glass ingredient is pinched, the external electrode which consists of a substrate electrode layer, a glass coat, and a ground-electrode layer by heat treatment can be made to unify firmly. Furthermore, since the glass coat is electric-conduction-ized in the field of an external electrode, it can be made to be flowed through the substrate electrode layer whose glass coat is pinched, and a ground-electrode layer with the electric-conduction-ized glass coat, and, also electrically, they can unify an external electrode. Moreover, in fields other than an external electrode, even when carrying out plating processing by holding a glass ingredient in the insulating state, it can prevent that a plating metal adheres to a glass coat in fields other than an external electrode.

[0012] A glass coat is formed in the whole front face of said substrate electrode layer and a ceramic component in the chip mold electronic parts which indicated the embodiment according to claim 2 to claim 1.

[0013] In the embodiment according to claim 2, since the whole ceramic component is covered with the glass coat, neither a clearance nor a joint arises on a glass coat, with a glass coat, a ceramic component can be protected certainly and the corrosion resistance of chip mold electronic parts and chemical resistance can be raised further. Moreover, a glass coat can be easily formed by soaking the ceramic component which had the substrate electrode layer formed into the glass ingredient fused, for example.

[0014] An embodiment according to claim 3 makes content of the glass ingredient in said ground-electrode layer fewer than the content of the glass ingredient of said substrate electrode layer in the chip mold electronic parts indicated to claim 1 or 2.

[0015] In the embodiment according to claim 3, since content of the glass ingredient of a substrate electrode layer is made [ more ] than a ground-electrode layer, the bonding strength and adhesion reinforcement of a substrate electrode layer and a ceramic component can be made high, and peeling resistance of an external electrode can be made high. Moreover, since content of the glass ingredient of a ground-electrode layer is made fewer than a substrate electrode layer, when performing plating processing to an external electrode, plating adhesion of an external electrode can be made good.

[0016] In the chip mold electronic parts which indicated the embodiment according to claim 4 to claim 3, the content of the glass ingredient of said ground-electrode layer is formed for the content of the glass ingredient of said substrate electrode layer at 5 or less % of the weight 0.2% of the weight or more 15 or less % of the weight 5% of the weight or more.

[0017] When there is less content of the glass ingredient in a substrate electrode layer than 5 % of the weight, it becomes difficult for the fixing force with a ceramic component to decline and to secure adhesion reinforcement with a ceramic component. On the other hand, when there is more above-mentioned content than 15 % of the weight, contact resistance with an internal electrode is large, and the function as an electrode falls. Therefore, in a substrate electrode

layer, as for the content of a glass ingredient, it is desirable to \*\*\*\* in 15 or less % of the weight of the range 5% of the weight or more, and by it, the junction force with a ceramic component is high, and can form an external electrode with low contact resistance with an internal electrode.

[0018] Moreover, when there is less content of the glass ingredient in a ground-electrode layer than 0.2 % of the weight, it becomes difficult for the fixing force with a glass coat to decline and to secure adhesion reinforcement with a glass coat. On the other hand, if the content of a glass ingredient increases more than 5 % of the weight, electric conduction resistance of a ground-electrode layer will become large, and will stop easily being able to perform plating processing to the outside of a ground-electrode layer. Therefore, in a ground-electrode layer, the content of a glass ingredient has 5 or less desirable % of the weight 0.2 % of the weight or more.

[0019] The manufacture approach of the chip mold electronic parts indicated to claim 5 The substrate electrode layer containing a glass ingredient is formed in the external electrode formation field of a ceramic component. Form a glass coat in the field which laps with the substrate electrode layer concerned at least, and the ground-electrode layer containing a glass ingredient is formed in the outside of said substrate electrode layer through a glass coat. By making said glass coat diffuse the electrical conducting material which heat-treats and is contained in said substrate electrode layer or said ground-electrode layer, it is characterized by making the glass coat which intervenes between said substrate electrode layers and said ground-electrode layers electric-conduction-ize.

[0020] By the manufacture approach of the chip mold electronic parts indicated to claim 5 Since the glass coat of the part into which it was inserted by said substrate electrode layer and said ground-electrode layer by heat treatment is made to diffuse the electrical conducting material contained in a substrate electrode layer and a ground-electrode layer In case a substrate electrode layer and a ground-electrode layer are made to unify through a glass coat by heat treatment, the electrical conducting material of a substrate electrode layer and a ground-electrode layer is spread on a glass coat at coincidence, make a glass coat electric-conduction-ize partially, it is made to flow through a substrate electrode layer and a ground-electrode layer, and the function of an external electrode can be realized. And a glass coat can be made to electric-conduction-ize alternatively only in an external electrode field by making a glass coat diffuse the electrical conducting material of a substrate electrode layer and a ground-electrode layer. Therefore, the chip mold electronic parts of this invention can be manufactured by the easy approach.

[0021]

[Embodiment of the Invention] (One operation gestalt) Drawing 1 is the sectional view of the chip mold electronic parts by 1 operation gestalt of this invention, and shows the zinc oxide system laminating chip varistor. This is the chip mold electronic parts with which the external electrode 10 was formed in the end face which the internal electrode 2 of the ceramic component 1 exposed. The substrate electrode layer 3 which made the glass frit contain in Ag or AgPd is formed in the end face which the internal electrode 2 of the ceramic component 1 exposed. A glass frit is 5-% of the weight or more 15 or less % of the weight of content to the substrate electrode layer 3. The glass coat 4 is formed in the whole front face of the substrate electrode layer 3 and ceramic component 1. The ceramic component 1 is protected by the glass coat 4 formed in the front face.

[0022] And the glass coat 4 is separated on the outside of said substrate electrode layer 3, and the ground-electrode layer 5 which made Ag or AgPd contain a glass frit is formed. A glass frit is 0.2-% of the weight or more 5 or less % of the weight of content to the ground-electrode layer 5. When Ag or AgPd of an electrical conducting material contained in said substrate electrode layer 3 and ground-electrode layer 5 is spread on the glass coat 4 like the after-mentioned, the part pinched by said substrate electrode layer 3 and the ground-electrode layer 5 is electric-conduction-ized, and has become electric conduction field 4b. That is, the glass coat 4 is divided into insulating region 4a which protects the ceramic component 1, and electric conduction field 4b which forms an electrode, maintaining integrity thru/or a continuity. Furthermore, as shown in drawing 2 if needed, in order to make soldering easy, the outside plating layer 6 is formed in the outside of the ground-electrode layer 5.

[0023] (The manufacture approach) The flow of the production process of the above-mentioned zinc oxide system laminating chip varistor is shown in drawing 3 . Hereafter, it explains according to drawing 3 . base -- an organic binder and a dispersant, a plasticizer, etc. are added in the charge of an admixture which contains ZnO, BiO, etc. as a raw material, it often kneads, and the slurry for sheet forming is produced (P1). This slurry for sheet forming is poured into a raw material tub, said slurry is fabricated to the ceramic green sheet of the thickness of arbitration with a doctor blade method (P2), and it pierces to the rectangle of predetermined magnitude (P3). The internal electrode paste of Ag content is applied (P4), and a laminating is carried out to the above-mentioned ceramic green sheet top face by turns, and it is stuck to it by pressure. Then, the layered product of a ceramic green sheet is cut in the shape of a chip (P5). It degreases, after heat-treating to the cut above-mentioned layered product and evaporating a binder and moisture. Then, it calcinates at the temperature of 800-1000 degrees C, and the ceramic component 1 is obtained (P6). Subsequently, the external

electrode 10 is formed in the ceramic component 1 pass the baking process, and it considers as chip mold electronic parts.

[0024] Hereafter, based on drawing 1 and drawing 3, an operation process is explained about formation of the external electrode 10. After calcinating the ceramic component 1 as mentioned above, the content of Ag applies the conductive paste containing the glass frit set to AgPd which is 90 % of the weight from borosilicate system glass to the end face which the internal electrode 2 exposed, can be burned on it at the temperature of 900 degrees C, and forms the substrate electrode layer 3 in it (P7). Here, the content of the glass frit in conductive paste is 15 or less % of the weight 5 % of the weight or more. Then, it heat-treats by applying the insulating glass ingredient containing 0.5 - 2.0% of the weight of borosilicate system glass to the whole front face of the substrate electrode layer 3 and the ceramic component 1, and the glass coat 4 can be burned (P8). This condition is shown in drawing 4. The glass coat 4 of the front face of the ceramic component 1 protects the ceramic component 1, and controls the property fall of the ceramic component 1.

[0025] The glass frit which becomes Ag or AgPd from borosilicate system glass in the part which laps with the substrate electrode layer 3 on the outside of the above-mentioned glass coat 4 is made to contain, and the content of a glass frit applies the conductive paste which is 5 or less % of the weight 0.2% of the weight or more, it can be burned at the temperature of 600-900 degrees C, and the ground-electrode layer 5 is formed (P9). At this time, as shown in drawing 1, in the field which has covered the front face of the ceramic component 1, the glass coat 4 is maintained with uniform insulating region 4a, protects the ceramic component 1, and controls the property fall of chip mold electronic parts.

[0026] At this time, by heat treatment, Ag or Pd which is the electrical conducting material contained in the substrate electrode layer 3 and the ground-electrode layer 5 at coincidence is diffused to the glass coat 4, and electric-conduction-izes the glass coat 4. Consequently, the glass coat 4 of the field between the substrate electrode layer 3 and the ground-electrode layer 5 electric-conduction-izes, and is set to electric conduction field 4b. Consequently, electric conduction field 4b of the glass coat 4 makes it flow through the substrate electrode layer 3 and the ground-electrode layer 5, and can use the external electrode 10 whole as a conductor. Moreover, when the glass component of the substrate electrode layer 3 and the ground-electrode layer 5 fuses with the glass coat 4 (electric conduction field 4b) and unifies, a possibility that it may be joined to one and the external electrode 10 may exfoliate disappears. Then, if needed, as shown in drawing 2, only nickel, Sn or nickel, solder, or solder performs electrolysis plating on the outside of the ground-electrode layer 5, the plating layer 6 is formed in it, and soldering nature of the external electrode 10 is made good (P10).

[0027] Although it is necessary to prepare it in the field which has a possibility that it may be invaded by an acid, alkali, etc. at least, for control of protection of the ceramic component 1 and plating growth, if the effectiveness of protecting simple and the ceramic component 1 of the activity which forms the glass coat 4 is taken into consideration, as for the glass coat 4, it is desirable to form all over a ceramic component front face.

[0028] Moreover, the conductive paste which made the glass frit contain may be applied so that it may become 15 or less % of the weight of content to electrical conducting materials other than Ag and AgPd, such as Au, Pt, and Pd, 5% of the weight or more, and the substrate electrode layer 3 may be formed by burning. Similarly, the conductive paste which made the glass frit contain may be applied so that it may become 5 or less % of the weight of content to electrical conducting materials other than Ag and AgPd, such as Au, Pt, and Pd, 0.2% of the weight or more, and the ground-electrode layer 5 may be formed by burning. In such a case, if it is, electrical conducting materials, such as Au, Pt, and Pd, will be spread on the glass coat 4 of the part pinched by the substrate electrode layer 3 and the ground-electrode layer 5, electric conduction field 4b will be formed, and the electric conduction function as an electrode will be obtained.

[0029] With this operation gestalt, the adhesion reinforcement of the ceramic component 1 and the substrate electrode layer 3 increases by making [ many ] content of the glass frit of the substrate electrode layer 3 as compared with the ground-electrode layer 5, and the external electrode 10 stops being able to exfoliate from the ceramic component 1 easily. When not filling the content of a glass frit to 5% of the weight to the substrate electrode layer 3 in that case, adhesion reinforcement with the ceramic component 1 falls. Moreover, when the above-mentioned content exceeds 15 % of the weight, the specific resistance of the substrate electrode layer 3 whole increases, contact resistance with the exposure of an internal electrode 2 increases, and the electric conduction function as an electrode falls. Therefore, it is desirable to form the substrate electrode layer 3 for the content of a glass frit in 15 or less % of the weight of the range 5% of the weight or more.

[0030] Moreover, the soldering nature (when not forming the plating layer 6 but soldering the direct ground-electrode layer 5) of the ground-electrode layer 5, plating adhesion (when forming the plating layer 6), and soldering nature can be made good by lessening content of the glass frit of the ground-electrode layer 5 as compared with the substrate electrode layer 3. In not filling the content of a glass frit to 0.2% of the weight to the ground-electrode layer 5 in that



case, adhesion reinforcement with the glass coat 4 falls. Moreover, when the above-mentioned content exceeds 5 % of the weight, the specific resistance of the ground-electrode layer 5 increases, and the deposit rate of a plating metal becomes slow. Therefore, the content of the glass frit contained in the ground-electrode layer 5 has desirable 0.2-% of the weight or more 5 or less % of the weight of range.

[0031] Usually, in chip mold electronic parts like a laminating chip varistor, if there are few glass presentations conversely, an external electrode will become easy for it to become difficult to perform electrolysis plating to an external electrode, if there are many glass presentations of an external electrode, and to exfoliate from a ceramic component. However, in the laminating chip varistor of this operation gestalt, this problem is solved by making [ many ] a glass presentation and lessening it by the inner layer (substrate electrode layer 3) of the external electrode 10, in an outer layer (ground-electrode layer 5). Moreover, a glass presentation can be easily changed by making the external electrode 10 into a three-tiered structure.

[0032] Moreover, it covered and insulating region 4a of the glass coat 4 formed in the front face of the ceramic component 1 has protected so that the front face of the ceramic component 1 may not be exposed, and it is raising the chemical resistance of the ceramic component 1, and corrosion resistance. Therefore, even when forming the plating layer 6 in the external electrode 10, there is no possibility that chip mold electronic parts may carry out property degradation in plating down stream processing. Moreover, out of the field of the external electrode 10, since the glass coat 4 holds insulation, it does not have a possibility of solder adhering to parts other than an external electrode, and causing short circuit accident, in the mounting process of chip mold electronic parts etc., either.

[0033] Moreover, high corrosion resistance and chemical resistance can be obtained, without neither a clearance nor a joint arising between electric conduction field 4b of the glass coat 4, and insulating region 4a, and plating liquid etc. permeating from there, since the glass coat 4 is formed in the whole ceramic component 1. The glass coat 4 whole can be formed at once, without forming separately electric conduction field 4b and insulating region 4a of the glass coat 4, since electric conduction field 4b is especially formed by diffusion of an electrical conducting material.

[0034] The zinc oxide system laminating chip varistor of the example shown in drawing 1 in order to check the effectiveness of this invention here, (Example) After forming the substrate electrode layer 13 in the end face which the internal electrode 12 of the ceramic component 11 as shown in drawing 5 exposed, The zinc oxide system laminating chip varistor of the example of a comparison of the gestalt which covered the front face of the ceramic component 11 and the substrate electrode layer 13 by the glass protective coat 14 was manufactured by the predetermined number, respectively, and electrolysis plating of nickel and Sn was performed on the front face of these two kinds of chip varistors.

[0035] In order to obtain regular plating thickness (nickel plating coat: 1-2 micrometers, Sn plating coat:3-5micrometer), the example of a comparison and an example perform electrolysis plating of fixed time amount, and measure the thickness of nickel plating coat formed in each chip varistor, and Sn plating coat, and the result of having computed the average and a plating growth percent defective is shown in Table 1.

[0036]

[Table 1]

	比較例	実施例
Niメッキ膜厚 平均値	0.8 $\mu$ m	1.8 $\mu$ m
Snメッキ膜厚 平均値	1.3 $\mu$ m	4.3 $\mu$ m
メッキ成長 不良率	100%	0%

[0037] As shown in Table 1, in the example of a comparison, for the glass protective coat 14, plating attachment nature was bad and only the plating thickness below one half of an example was obtained. Moreover, in the example of a comparison, total did not reach convention thickness but the plating growth percent defective was 100%. On the other hand, in the example, total reached convention thickness and the plating growth percent defective was 0%. Thus, according to the example concerned, it turns out that the good laminating chip varistor of quality can be manufactured with the sufficient yield.

[Translation done.]

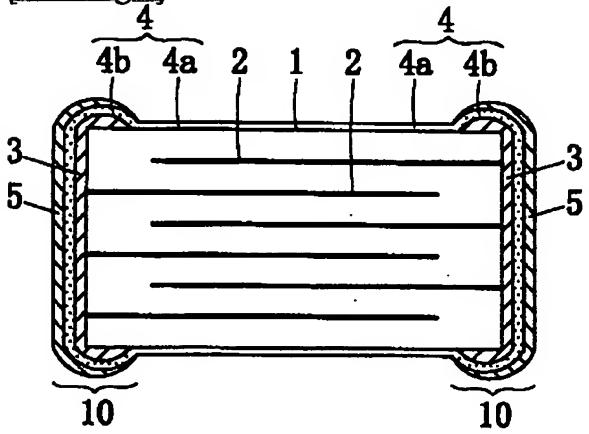
\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

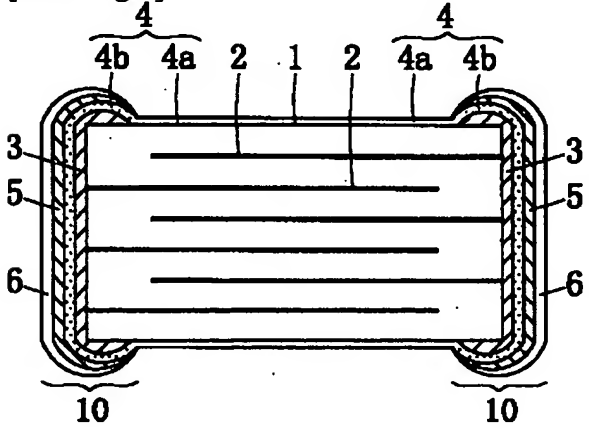
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

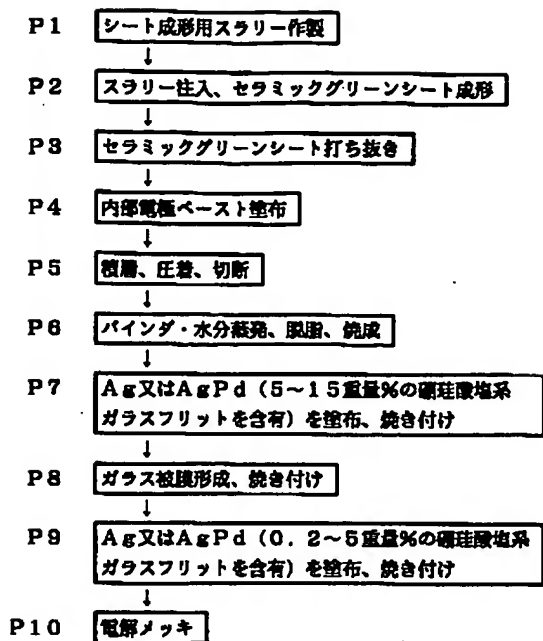


[Drawing 2]

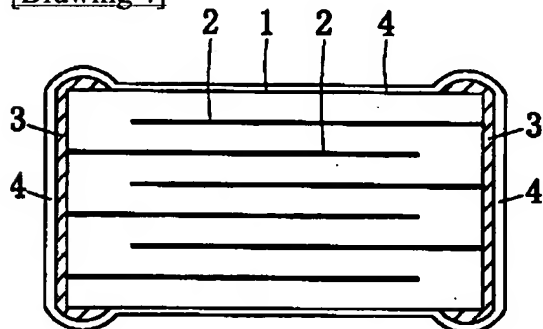


[Drawing 3]

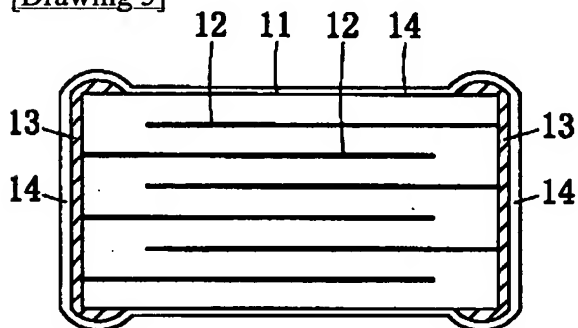




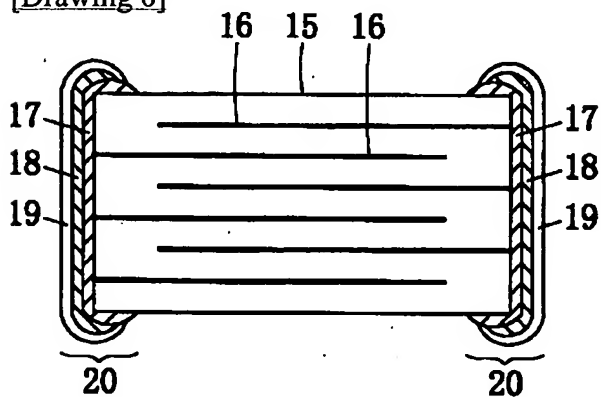
[Drawing 4]



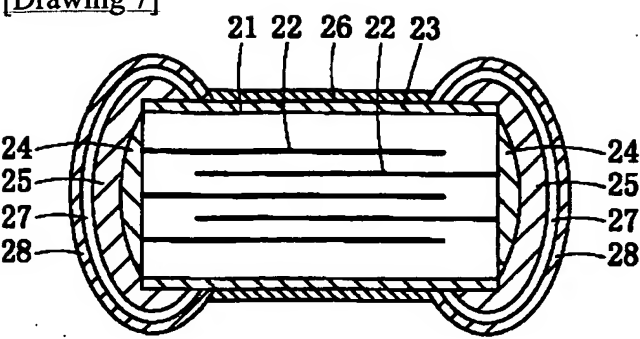
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]